

PLAKAT INFORMACYJNY PROJEKTU GRUPOWEGO – STYCZEŃ 2023

Katedra sieci teleinformatycznych

Zespół projektowy: <i>5@KSTI'2023</i>	1. Hubert Aleksyuk- kierownik 2. Oskar Bogucki 3. Krystian Repiński
Opiekun:	dr hab. inż. Marek Blok prof. PG
Klient:	dr hab. inż. Marek Blok prof. PG
Data zakończenia:	27.01.2023
Słowa kluczowe:	Mnożnik, sumator, konwerter, format zmiennoprzecinkowy, zaokrąglanie stochastyczne, wartość zdenormalizowana, FPGA, Verilog



TEMAT PROJEKTU:

8-BITOWY MNOŻNIK I SUMATOR ZMIENNOPRZECINKOWY

CELE I ZAKRES PROJEKTU:

Celem projektu jest implementacja 8-bitowego mnożnika i sumatora zmiennoprzecinkowego (FP) na programowalnym układzie elektronicznym FPGA. Zastosowany format ma cechować konfigurowalny offset eksponenty oraz zastosowanie zaokrąglania stochastycznego. Przewidziane jest również zaimplementowanie obsługi zakresu wartości zdenormalizowanych.

OSIĄGNIĘTE REZULTATY:

1. Przeprowadzono analizę formatu FP oraz sposobu realizacji podstawowych operacji FP na poziomie binarnym.
2. Zaprojektowano i zaimplementowano programowo konwerter pomiędzy wartościami zapisanymi w standardowym 32-bitowym formacie FP a zmodyfikowanym formatem 8-bitowym FP.
3. Zaprojektowano i zaimplementowano programowo zaokrąglanie stochastyczne wykorzystujące LFSR (linear feedback shift register).
4. Zaprojektowano i zaimplementowano programowo mnożnik i sumator dla zmodyfikowanego formatu 8-bitowego.
5. Uczestniczono w szkoleniu z FPGA i języka Verilog przeprowadzonym z mentorami z firmy Intel.

CECHY CHARAKTERYSTYCZNE ROZWIĄZANIA, KIERUNKI DALSZYCH PRAC:

Opracowane rozwiązania programowe poszczególnych elementów składających się na 8-bitowy mnożnik i sumator zostały wykonane w Matlabie jako funkcje realizujące dany element np. sumator oraz skrypty sprawdzające ich poprawną pracę. Uzyskane wstępne wyniki testów potwierdzają zgodność wyników z teoretycznymi przewidywaniami.

Zaplanowanymi kierunkami dalszych prac nad projektem są:

1. Dokładne testy zaprojektowanych rozwiązań
2. Przeniesienie dotychczasowych rozwiązań na układ FPGA
3. Testy rozwiązań zrealizowanych na układzie FPGA

TEAM PROJECT INFORMATION FOLDER – JANUARY 2023

Department of Teleinformation Networks

Project team: <i>5@KSTI'2023</i>	1. Hubert Aleksyuk- leader 2. Oskar Bogucki 3. Krystian Repiński
Supervisor:	Marek Blok, Ph.D., D.Sc., Associate Professor
Client:	Marek Blok, Ph.D., D.Sc., Associate Professor
Date:	27.01.2023
Key words:	Multiplier, adder, converter, floating point format, stochastic rounding, denormalized value, FPGA, Verilog



PROJECT TITLE:

8-BIT FLOATING POINT MULTIPLIER AND ADDER

OBJECTIVES AND SCOPE:

The purpose of the project is to implement an 8-bit multiplier and floating-point (FP) adder on a programmable electronic circuit (FPGA). The format used is to feature a configurable exponent offset and the use of stochastic rounding. It is also planned to implement support for the range of denormalized values.

RESULTS:

1. An analysis of the FP format and how basic FP operations are implemented at the binary level was carried out.
2. A converter between values stored in the standard 32-bit FP format and the modified 8-bit FP format was designed and implemented programmatically.
3. Stochastic rounding using linear feedback shift register (LFSR) was designed and implemented programmatically.
4. A multiplier and adder for the modified 8-bit format was designed and implemented programmatically.
5. Participating in FPGA and Verilog language training conducted with mentors from Intel.

MAIN FEATURES, FUTURE WORKS:

The developed software solutions for the individual elements that make up the 8-bit multiplier and adder were executed in Matlab as functions that realise a given element e.g. the adder, and scripts that check their correct operation. The initial test results obtained confirm that the results are consistent with theoretical predictions.

The planned directions for further work on the project are:

1. Thorough testing of the designed solutions
2. Transfer of existing solutions to FPGA
3. Testing of solutions implemented on the FPGA chip