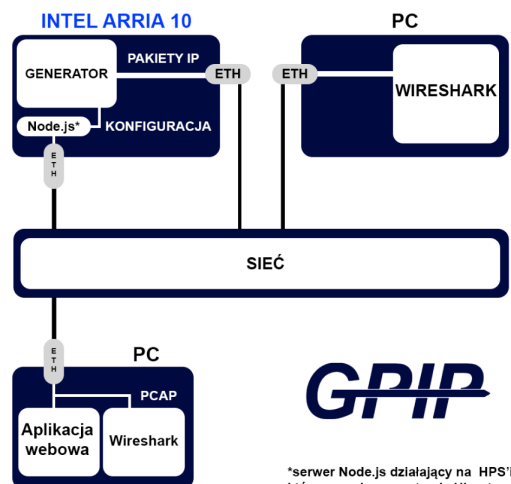


PLAKAT INFORMACYJNY PROJEKTU GRUPOWEGO — MAJ 2023

Katedra Sieci Teleinformatycznych

Zespół projektowy: 3@KSTI'2023	1. Tomasz Tessmer - kierownik 2. Dawid Kościelski 3. Agnieszka Koitalla
Opiekun:	mgr inż. Jacek Litka
Klient:	mgr inż. Jacek Litka
Data zakończenia:	31.05.2023
Słowa kluczowe:	Generator, IP, parametry, GPIIP, pakiet



TEMAT PROJEKTU:

Generator pakietów IP o zadanych parametrach

CELE I ZAKRES PROJEKTU:

Celem projektu jest implementacja generatora pakietów IP na programowalnym układzie elektronicznym FPGA. Układ ma generować strumień o parametrach zadanych przez użytkownika. Modyfikacje tych parametrów mają odbywać się za pomocą aplikacji komputerowej, która łączy się z płytką i ją przeprogramowuje lub za pomocą przycisków i przełączników dostępnych na urządzeniu. Wśród modyfikowalnych parametrów strumienia powinny znaleźć się wartości w polach nagłówka pakietu, a także rozmiar pakietu i liczba pakietów generowanych na sekundę.

OSIĄGNIĘTE REZULTATY:

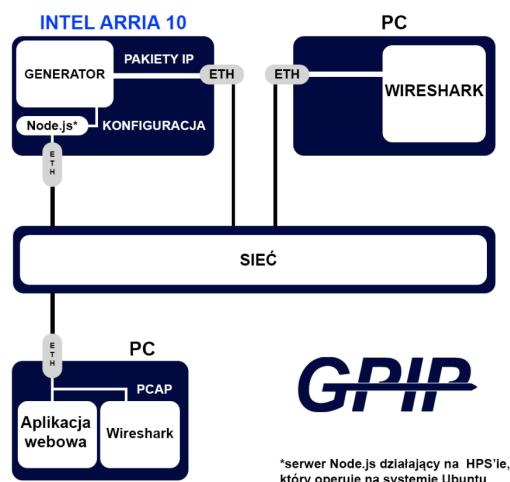
- Nauka języka Verilog.
- Dokonanie analizy rynku pod kątem funkcjonalności programowych generatorów.
- Wykonanie oraz implementacja obrazu Linuxa dla systemu wbudowanego.
- Zaimplementowanie oraz zmodyfikowanie generatora pakietów IP.
- Stworzenie aplikacji internetowej dla użytkownika końcowego.

CECHY CHARAKTERYSTYCZNE ROZWIĄZANIA, KIERUNKI DALSZYCH PRAC:

- Generacja pakietów IP wraz z możliwością zmiany parametrów pakietu.
- Transmisja pakietów IP w różnych scenariuszach.
- Graficzny interfejs użytkownika.
- Zapis danych statystycznych do pliku.
- Implementacja Verilog oraz TCL.
- Sprzętowa generacja ruchu zamiast programowej.

Department of Teleinformation Networks

Project team: 3@KSTI'2023	1. Tomasz Tessmer - leader 2. Dawid Kościelski 3. Agnieszka Koitalla
Supervisor:	mgr inż. Jacek Litka
Client:	mgr inż. Jacek Litka
Date:	31.05.2023
Key words:	Generator, IP, parameters, GPIIP, packet



PROJECT TITLE:

IP packet generator with preset parameters

OBJECTIVES AND SCOPE:

The aim of the project is to implement an IP packet generator on an FPGA programmable electronics chip. The circuit is to generate a stream with user-set parameters. Modifications of these parameters are to be made via a computer application that connects to the board and reprograms it, or via buttons and switches available on the device. Among the modifiable parameters of the stream should be the values in the packet header fields, as well as the packet size and the number of packets generated per second.

RESULTS:

- Verilog language learning.
- Performed a market analysis with the scope being functionality of the generators.
- Created and implemented a Linux image for an embedded system.
- Implemented and modified an IP packet generator.
- Created a web application for the end user.

MAIN FEATURES, FUTURE WORKS:

- IP packet generation with the ability to change packet parameters.
- Transmission of IP packets in various scenarios.
- Graphical user interface.
- Recording of statistical data to a file.
- Verilog and TCL implementation.
- Hardware-based traffic generation instead of software-based.